

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-119594

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月21日

G 11 C 16/04

9191-5L

G 11 C 17/00

3 0 8

審査請求 未請求 請求項の数 4 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平2-238492

⑰ 出 願 平2(1990)9月7日

⑱ 発 明 者 高 品 信 昭 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 青 柳 稔

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. 不揮発性メモリセルを備え、ブロック化したデータを書込まれる書換え可能な不揮発性半導体記憶装置において、

メモリセルの閾値を低、中、高の3値にして、その2値でデータを、残りの1値でデータブロックのインデックスを表わすようにし、

これらのデータとインデックスの読取り手段を設けたことを特徴とする半導体記憶装置。

2. メモリセルへの3値書込み回路は、選択ワード線の電位を高電圧( $V_{pp}$ )にする手段( $Q_{s1}$ ,  $W$ )と、該高電圧より高い高電圧( $V_{pp}'$ )にする手段( $Q_{s2}$ ,  $I W$ )を備えることを特徴とする請求項1記載の半導体記憶装置。

3. メモリセルへの3値書込み回路は、データリードより低い感度で読出す手段( $Q_{i2}$ ,  $W$ )、それより更に低い感度で読出す手段( $Q_{i3}$ ,  $I W$ )

を備え、

これらの手段で読出せるまでデータライトを繰り返すようにしてなることを特徴とする請求項1記載の半導体記憶装置。

4. インデックスの読取り手段は、選択ワード線を電源電圧( $V_{cc}$ )にする手段( $Q_{s1}$ ,  $R$ )と、選択ワード線をそれより高い電圧( $V_{cc}'$ )にする手段( $Q_{s2}$ ,  $I R$ )を備えることを特徴とする請求項1記載の半導体記憶装置。

3. 発明の詳細な説明

(発明の概要)

ブロック化したデータを書込まれる書換え可能な不揮発性半導体記憶装置に関し、

EPROM等が自身でデータブロックの境界を付けることが出来るようにすることを目的とし、

不揮発性メモリセルを備え、ブロック化したデータを書込まれる書換え可能な不揮発性半導体記憶装置において、メモリセルの閾値を低、中、高の3値にして、その2値でデータを、残りの1値でデータブロックのインデックスを表わすように

し、これらのデータとインデックスの読取り手段を設けた構成とする。

#### 〔産業上の利用分野〕

本発明は、ブロック化したデータを書込まれる書換え可能な不揮発性半導体記憶装置に関する。

EPROM, EEPROMなどの書換え可能な不揮発性半導体記憶装置においても近年非常に集積度が増大してきており、記憶容量が益々増加する傾向にある。記憶容量の増大でEPROM, EEPROMに、従来は計算機のハードディスク、フロッピーディスク等の外部記憶装置に書込んでいたデータに近い量のデータを書込むことが可能になり、外部記憶装置に類した使い方が可能となりつつある。この場合は、1個のEPROM, EEPROM内に、多数のブロックからなるデータを書込む場合が出てくる。

#### 〔従来の技術〕

1個のEPROM, EEPROM(以下EPROM等という)内に多数のブロックからなるデータを書込むとき、

#### 〔課題を解決するための手段〕

本発明では不揮発性メモリセルの記憶状態を0, 1, 2の3値とし、そのうちの2値例えば0, 1をデータ用、他の1値本例では2をデータブロックのインデックス用にする。そして通常の読取り(データリード)モードではデータ用2値を記憶したメモリセルの記憶データが読出され、インデックスビットのリードモードでインデックス用1値を記憶したメモリセルの記憶データが読出されるようにする。

第1図のL<sub>1</sub>はデータ0, 1読取り用の閾値、L<sub>2</sub>はインデックス読取り用の閾値である。

第2図(a)はEPROMセル、同図(b)はEEPROMセルの概要を示す。図示のようにこれらはコントロールゲートCG、フローティングゲートFG、半導体基板内のソース領域S、ドレイン領域Dなどからなる。EEPROMセルではフローティングゲートFGの一部が突出していて、ドレインDとの間の絶縁層が極めて薄く、書込/消去に際して加えられる電圧で電子がFGからDへトンネリングできる点

各ブロックの始、終端を示す情報が必要になる。これにはブロック境界を示す複数ビットからなるコードを挿入することも考えられるが、該ビットが少数ビットではデータと区別を付けにくく、ブロック判定を誤まる恐れがある。

このため従来方式では、データブロックの区別は自身では付けにくいので、他のメモリに各データブロックの境界アドレスを記憶させ、このメモリでブロック境界を知って、所望ブロックのデータをEPROM等から読出す、等の方法をとっている。

#### 〔発明が解決しようとする課題〕

このように従来方式ではEPROM等は自身でデータブロックの区別を付けられず、データブロック識別用の別のメモリを設ける等の措置が必要になって、効率的なシステムの設計ができない。

本発明はかかる点を改善し、EPROM等が自身でデータブロックの境界を付けることが出来るようにすることを目的とするものである。

がEPROMセルとは異なる。

これらのメモリセルは、フローティングゲートFGへ電子を注入するとMOSトランジスタとしての閾値が高くなり、電子を注入しないメモリセルと区別できる。これが通常の使用態様で、電子を注入する/しない、閾値が高い/低いをデータ1, 0に対応させる。インデックス用の本例では値2は、フローティングゲートFGに多量の電子を注入して閾値を更に高くしたものに相当する。

#### 〔作用〕

このようにメモリセルの記憶状態を0, 1, 2の3値とし、そのうちの1値例えば2をインデックス用に割当てると、メモリ自身にデータブロックの境界情報を持たせることができる。例えば0, 1をデータ用、2をインデックス用とすると、閾値L<sub>1</sub>で読むと、このときオンになるセルの記憶データは例えば0、オフになるセルの記憶データは本例では1または2であり、また閾値L<sub>2</sub>で読むと、このときオンになるセルの記憶データは0

または1(つまりデータ)、オフになるセルの記憶データは2(つまりインデックス)となり、簡単にインデックス即ちブロック境界を知ることができ、これを除いた0, 1としてデータを取り出すことができる。

インデックスには0を割当て、データに1, 2を割当てることも可能である。この場合は、 $L_1$ で読んでオンになるセルがインデックスセル、 $L_2$ で読んでオン/オフになるセルがデータセル(オンセルにはインデックスセルが含まれるからこれを除く)である。

#### (実施例)

第3図に本発明の実施例回路を示す。3値はFGに電子を注入しない/する/多量にするで表わすから、ワード線電位を変えることで実現でき、この例を第3図(a)に示す。pチャネルMOSトランジスタ $Q_1$ とnチャネルMOSトランジスタ $Q_2$ はCMOSインバータを構成し、ローデコードRDの出力でオン/オフ状態を変えて、ワード線WLを

書き込みを繰り返し、書き込み深さを制御する。

即ち書き込み時には、トランジスタ $Q_{11}$ をオンにして高電圧 $V_{pp}$ をメモリセルMCのドレインへ、コラムデコードCDの出力でオンになるトランジスタ $Q_{12}$ を介して加え、書き込みを行なう。然るのちベリファイモードでトランジスタ $Q_{11}$ はオフにし、通常データのライト時ならトランジスタ $Q_{12}$ をオンにし、インデックスライトIW時ならトランジスタ $Q_{13}$ をオンにし、通常リードならトランジスタ $Q_{11}$ をオンにする。これらのトランジスタ $Q_{11} \sim Q_{13}$ は読取り回路の負荷トランジスタであり、 $Q_{11}$ は大電流、 $Q_{12}$ は中電流、 $Q_{13}$ は小電流を供給し、ディメンションは $Q_{11}$ が大、 $Q_{12}$ が中、 $Q_{13}$ が小である。感度で言えば $Q_{11}$ のときが大、 $Q_{12}$ のときが中、 $Q_{13}$ のときが小である。

トランジスタ $Q_{14} \sim Q_{17}$ はノードaの電流を一定にする回路である。即ち、ノードaの電位が高い(予定値より、であり、以下同じ)とトランジスタは低抵抗、トランジスタ $Q_{14}$ ,  $Q_{15}$ は高抵抗になり、ノードaを下げる。逆にノードaの電位

選択/非選択する。即ちRDがLであれば $Q_{14}$ オン、 $Q_{15}$ オフでWLは選択、RDがHであれば $Q_{14}$ オフ、 $Q_{15}$ オンでWLは非選択である。このCMOSインバータの電源を読取り時、データ書き込み時、インデックス書き込み時で変える。即ち読取り時Rではトランジスタ $Q_1$ をオンにしてCMOSインバータの電源を $V_{cc}$ とし、データ書き込み時Wではトランジスタ $Q_2$ をオンにしてCMOSインバータの電源を $V_{pp}$ にし、インデックス書き込み時IWではトランジスタ $Q_3$ をオンにしてCMOSインバータの電源を $V_{pp}'$ にする。勿論、 $V_{cc} < V_{pp} < V_{pp}'$ である。これで選択時のワード線WL(これはコントロールゲートCGにつながる)の電位が $V_{cc}$ ,  $V_{pp}$ , または $V_{pp}'$ になり、 $V_{cc}$ でリード、 $V_{pp}$ でデータライト、 $V_{pp}'$ でインデックスライトになる。

第3図(b)は他の書き込み方法を示す図である。本例では書き込みはインデックスも通常データも同じ回路で行ない、ベリファイ(データが書けているかどうか読んでみる動作)時にセンスアンプのロードトランジスタを変えて、各々で読めるように

が低いとトランジスタ $Q_{14}$ は高抵抗、トランジスタ $Q_{15}$ ,  $Q_{16}$ は低抵抗になりノードaを上げる。

メモリセルMCはこのような回路のトランジスタ $Q_{14}$ 、およびコラムデコードCDの出力でオンになるトランジスタ $Q_{12}$ を介して負荷トランジスタ $Q_{11} \sim Q_{13}$ のいずれかに接続される。インデックスライト時には感度が低いので、通常のデータライトされた程度のセルでは読出し出力 $D_{out}$ が得られない(MCがオンになって、 $D_{out}$ が立上ってこない)。そこでライトを繰り返し、充分書き込んだとき(閾値が充分高くなったとき)MCはオフで $D_{out}$ が立上り、読出し出力が得られるから、これでインデックスライトを終了する。

通常のデータライトではベリファイ時にトランジスタ $Q_{12}$ を選択し、これで $D_{out}$ が得られるまで書き込みを繰り返す。データリードではトランジスタ $Q_{11}$ を選択し、高感度読出しを行なう。インデックスリードではトランジスタ $Q_{13}$ を選択し、これで $D_{out}$ がHになるセルがインデックスセルである。

第3図(c)は同図(b)の変形で、トランジスタ $Q_{11}$ を省略している。データリードでトランジスタ $Q_{12}$ と $Q_{13}$ を選択すると、トランジスタ $Q_{11}$ を選択したのと同じになり(各トランジスタが流す電流をそのように選定する)、高感度読出しが行なえる。データライト、インデックスライト、インデックスリードの態様は第3図(b)と同じである。

リード時にワード線電位を変えてデータリード、インデックスリードしてもよく、その例を第3図(d)に示す。電源 $V_{cc}'$ は電源 $V_{cc}$ より高くしておくと、データリードRのときトランジスタ $Q_{11}$ をオンにして選択ワード線WLを $V_{cc}$ にすると、FGへ電子を注入しないセルはオン、電子を注入した及び多量に注入したセルはオフになり、またインデックスリードIRのときトランジスタ $Q_{12}$ をオンにして選択ワード線WLを $V_{cc}'$ にすると、電子を注入しない及びしたセルはオン、多量に注入したセルはオフになり、こうしてデータリード、インデックスリードができる。この $V_{cc}$ 、 $V_{cc}'$ は第1図の $L_1$ 、 $L_2$ に対応する。

ライトでは該 $V_{pp}$ 端子に $V_{pp}'$ を印加し、これを高電圧検出回路が検出してIWを発生する、ようにすることができる。この場合は、 $Q_{12}$ のドレインを $V_{pp}$ へ接続しておく。

3値書き込みにおける深い書き込みには、上述のワード線電位を変える、深い書き込みになるまで通常書き込みを繰り返す他、ドレイン電圧を変える、方法も可能である。

#### (発明の効果)

以上説明したように本発明によれば、従来のEPROM、EEPROMの機構を殆んど変える事なく、セルの値を3値にすることで、データブロックにインデックスを付けることが可能になり、かかるEPROM等を用いることにより、インデックス用メモリは不要な、効率的なシステムの設計が可能になる。

#### 4. 図面の簡単な説明

第1図は本発明の原理図、

第2図はメモリセルの構造説明図、

第3図は本発明の実施例を示す回路図である。

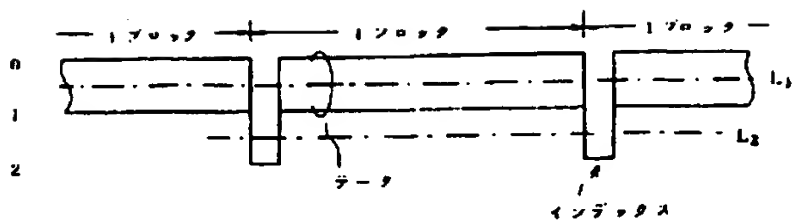
インデックスリードして得られる出力 $D_{out}$ は、そのときのメモリアドレスの形で使用しても、または単なるHレベルである該出力 $D_{out}$ のみで使用してもよい。メモリ(EPROM, EEPROM)の1番目のブロックをリード、に対しては後者で充分で、例えばメモリアドレスをインクリメントしながらインデックスリードし、3番目の出力 $D_{out}$ で以後データリードに切換えればよい。勿論、所望データは何番目のブロックに入っているかを、知っている必要はある。

インデックスセルに後続させて当該データブロックのIDコードなどを、普通データと同様にし、書込んでおいてもよい。この場合はインデックスリードでブロック境界を知り、データリードに変更して後続のIDコード等を知り、これより所望ブロックか否かを知り、所望ブロックのデータを読出すことができる。

インデックスライトIWなどの信号は内部発生させることができる。例えば第3図(a)では $V_{pp}$ 端子に高電圧検出回路を設けておき、インデックス

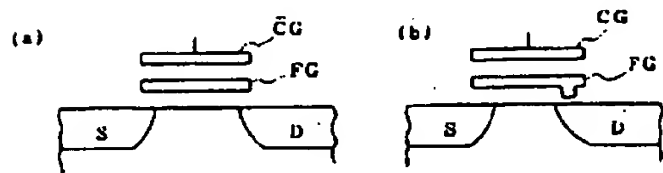
第1図で0、1、2はメモリセルの3値、 $L_1$ 、 $L_2$ はこれを識別する閾値を示す。

出 願 人 富 士 通 株 式 会 社  
代理人 弁 理 士 青 柳 稔



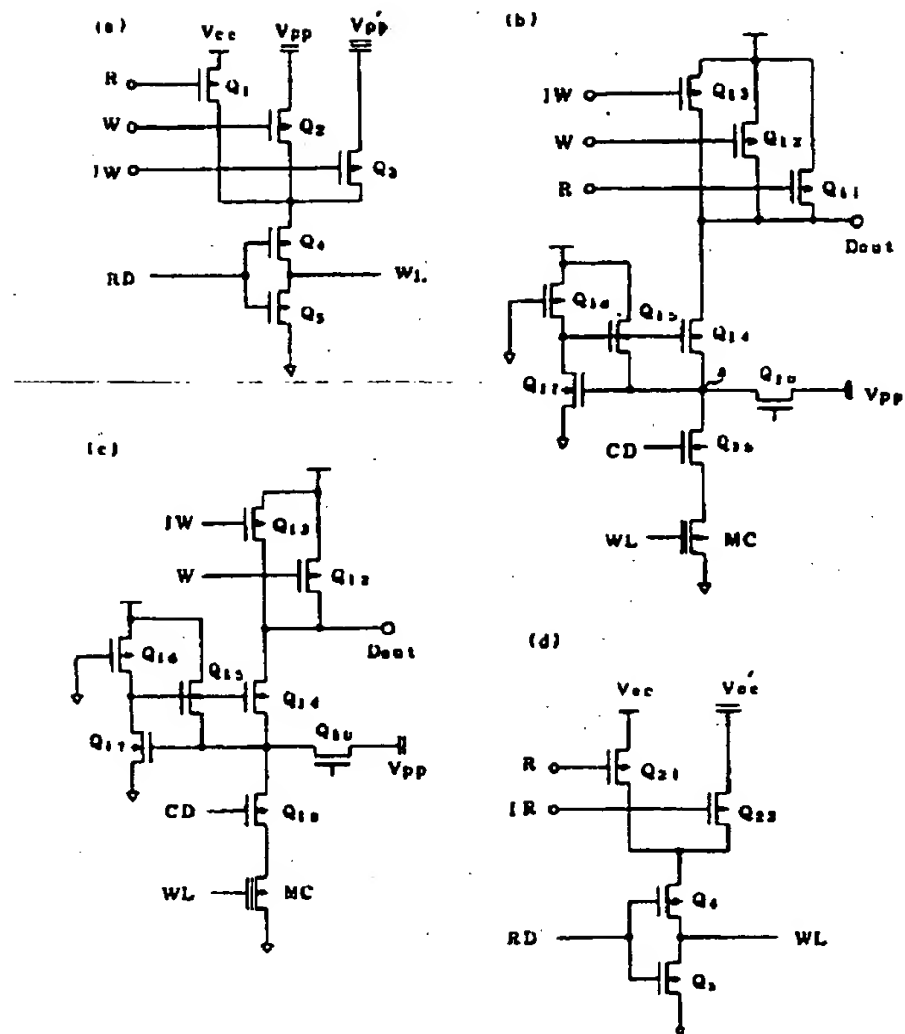
本発明の原理図

第 1 図



メモリセルの構造説明図

第 2 図



本発明の実施例を示す回路図

第 3 図